

YD

中华人民共和国通信行业标准

YD/T 853—1996
eqv CCITT V.17 : 1991

速率高达 14 400 bit/s 传真用 二线调制解调器的技术要求

1996-05-08 发布

1996-11-01 实施

中华人民共和国邮电部 发布

目 次

前言 Ⅲ

CCITT 前言 Ⅳ

1 范围 1

2 引用标准 1

3 引言 1

4 线路信号 1

5 接口电路 7

6 扰码器和解扰器 8

7 操作序列 8

前 言

本标准等效采用国际电报电话咨询委员会(CCITT)建议 V.17(1991 年版本)。用于检测速率高达 14 400 bit/s 传真用二线调制解调器。

本标准由邮电部电信科学研究规划院提出并归口。

本标准起草单位:邮电部电信传输研究所。

本标准主要起草人:苟雅莉、王新京、崔进水。

速率高达 14 400 bit/s 传真用
二线调制解调器的技术要求

YD/T 853—1996
eqv CCITT V.17:1991

1 范围

本标准规定速率高达 14 400 bit/s(简称高速)文件传真机用的调制解调器的调制方法和操作程序。本标准适用于高速文件传真机的研究、开发和生产,为高速文件传真机的互通提供技术依据。

2 引用标准

下列标准所包含的条文,通过在本标准中引用而构成本标准的条文。本标准出版时,所示版本均为有效。所有标准都会被修订,使用本标准的各方应探讨,使用下列标准最新版本的可能性。

CCITT V.24:1988 数据终端设备(DTE)和数据电路终接设备(DCE)之间的接口电路定义表

3 引言

本建议规定了高速传真机应用的调制解调器的调制方法和操作程序。

对于传真机传输应用的操作方法和其他特性应参考适当的 T 系列建议,因为一般传真三类机应用的高速调制解调器的有关建议与本标准有区别。

调制解调器的基本特性如下:

a) 提供下列数据信号速率下的半双工操作:

——14 400 bit/s 同步;

——12 000 bit/s 同步;

——9 600 bit/s 同步;

——7 200 bit/s 同步。

b) 在 2 400 Bd(波特)下以同步线路传输的正交调幅。

c) 包括数据扰码器、自适应均衡器和八状态格状编码。

d) 用于训练和同步的二序列:长训练和再同步。

4 线路信号

4.1 载波频率

信道载波频率是 $1\,800\text{ Hz} \pm 1\text{ Hz}$ 。接收机在收到载波频率最大偏移为 $\pm 7\text{ Hz}$ 的信号时应能工作。

4.2 调制

调制速率为 $2\,400 \pm 0.01\% \text{ Bd}$ 。

4.3 信号码元编码

4.3.1 14 400 bit/s 的信号码元编码

经扰码待发送的数据流按 6 个连续数据比特分为一组,这些数据比特按照其出现的时间排序。如图 1 所示,每组的前两个比特 $Q1_n$ 和 $Q2_n$ (这里 n 表示该组的序号),按照表 1 的规定首先差分编码为 $Y1_n$ 和 $Y2_n$ 。

两个差分编码比特 $Y1_n$ 和 $Y2_n$ 输入到系统卷积编码器生成一个冗余比特 $Y0_n$ 。该冗余比特和 6 个载有信息的比特 $Y1_n$ 、 $Y2_n$ 、 $Q3_n$ 、 $Q4_n$ 、 $Q5_n$ 和 $Q6_n$ 按图 2 所示的信号空间状态映射成为发送的信号码元坐标。

表 1 格状编码使用的差分编码

输入 $Q1_n$ $Q2_n$	前一输入 $Y1_{n-1}$ $Y2_{n-1}$	输出 $Y1_n$ $Y2_n$
0 0	0 0	0 0
0 0	0 1	0 1
0 0	1 0	1 0
0 0	1 1	1 1
0 1	0 0	0 1
0 1	0 1	0 0
0 1	1 0	1 1
0 1	1 1	1 0
1 0	0 0	1 0
1 0	0 1	1 1
1 0	1 0	0 1
1 0	1 1	0 0
1 1	0 0	1 1
1 1	0 1	1 0
1 1	1 0	0 0
1 1	1 1	0 1

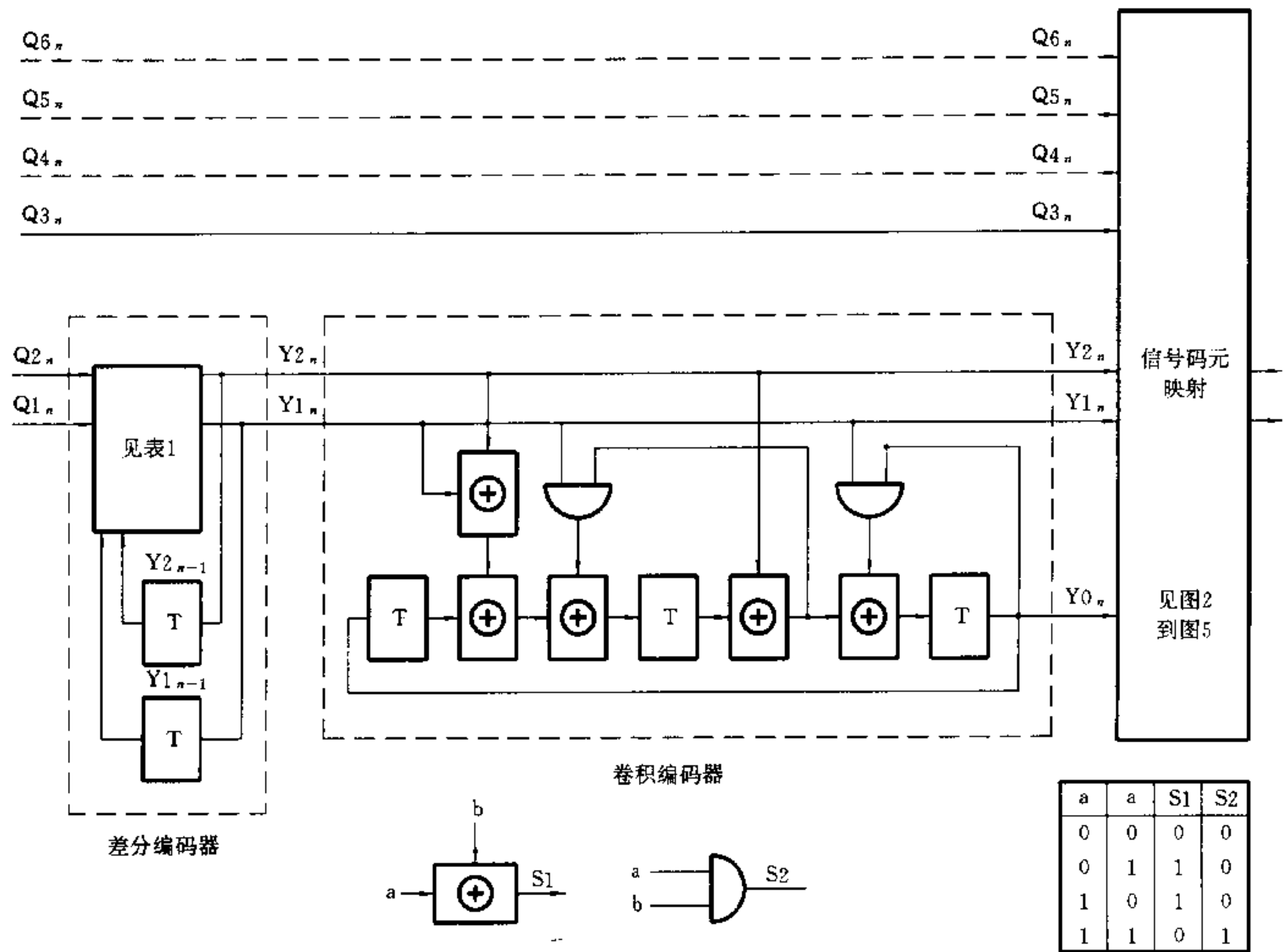
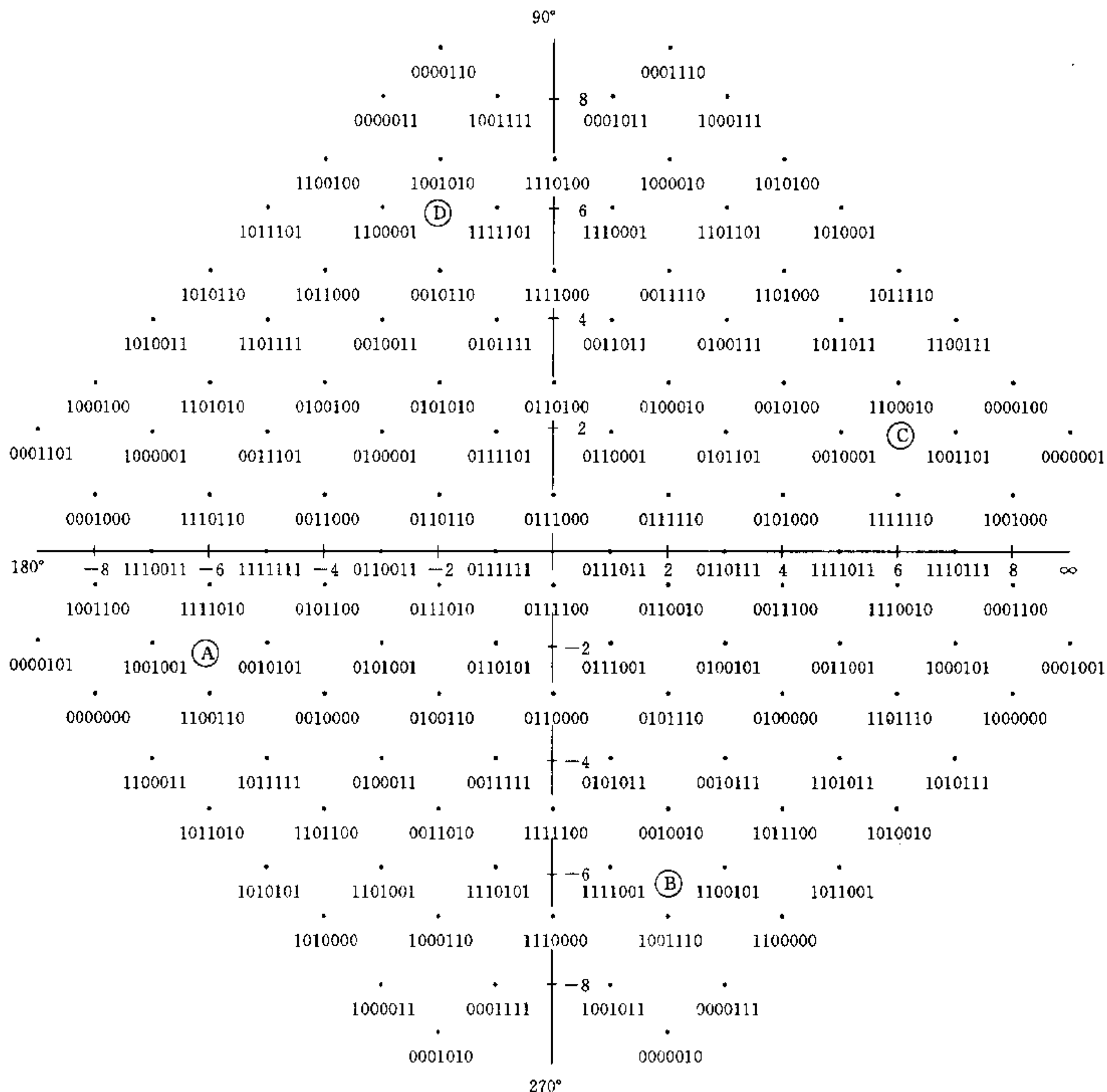


图 1 14 400、12 000、9 600、7 200 bit/s 信号速率的格状编码器



注：二进制数指 $Q_6, Q_5, Q_4, Q_3, Y_2, Y_1, Y_0$ 。A、B、C 和 D 指的是同步信号码元。

图 2 14 400 bit/s 数据信号速率下格状编码所使用的 128 点信号结构

4.3.2 12 000 bit/s 的信号码元编码

经扰码待发送的数据流，按 5 个连续数据比特分为一组，这些数据比特照其出现的时间排序。如图 1 所示，每组前两个比特 Q_{1n} 和 Q_{2n} （这里 n 表示该组的序号），按照表 1 规定首先差分编码为 Y_{1n} 和 Y_{2n} 。

两个差分编码比特 Y_{1n} 和 Y_{2n} 输入到系统卷积编码器生成一冗余比特 Y_{0n} 。该冗余比特和 5 个载有信息的比特 $Y_{1n}, Y_{2n}, Q_{3n}, Q_{4n}$ 和 Q_{5n} 按图 3 所示的信号空间状态图映射成为发送的信号码元坐标。

4.3.3 9 600 bit/s 的信号码元编码

经扰码待发送的数据流，按 4 个连续数据比特分为一组，这些数据比特照其出现的时间排序。如图 1 所示，每组前两个比特 Q_{1n} 和 Q_{2n} （这里 n 表示该组的序号），按照表 1 规定首先差分编码为 Y_{1n} 和 Y_{2n} 。

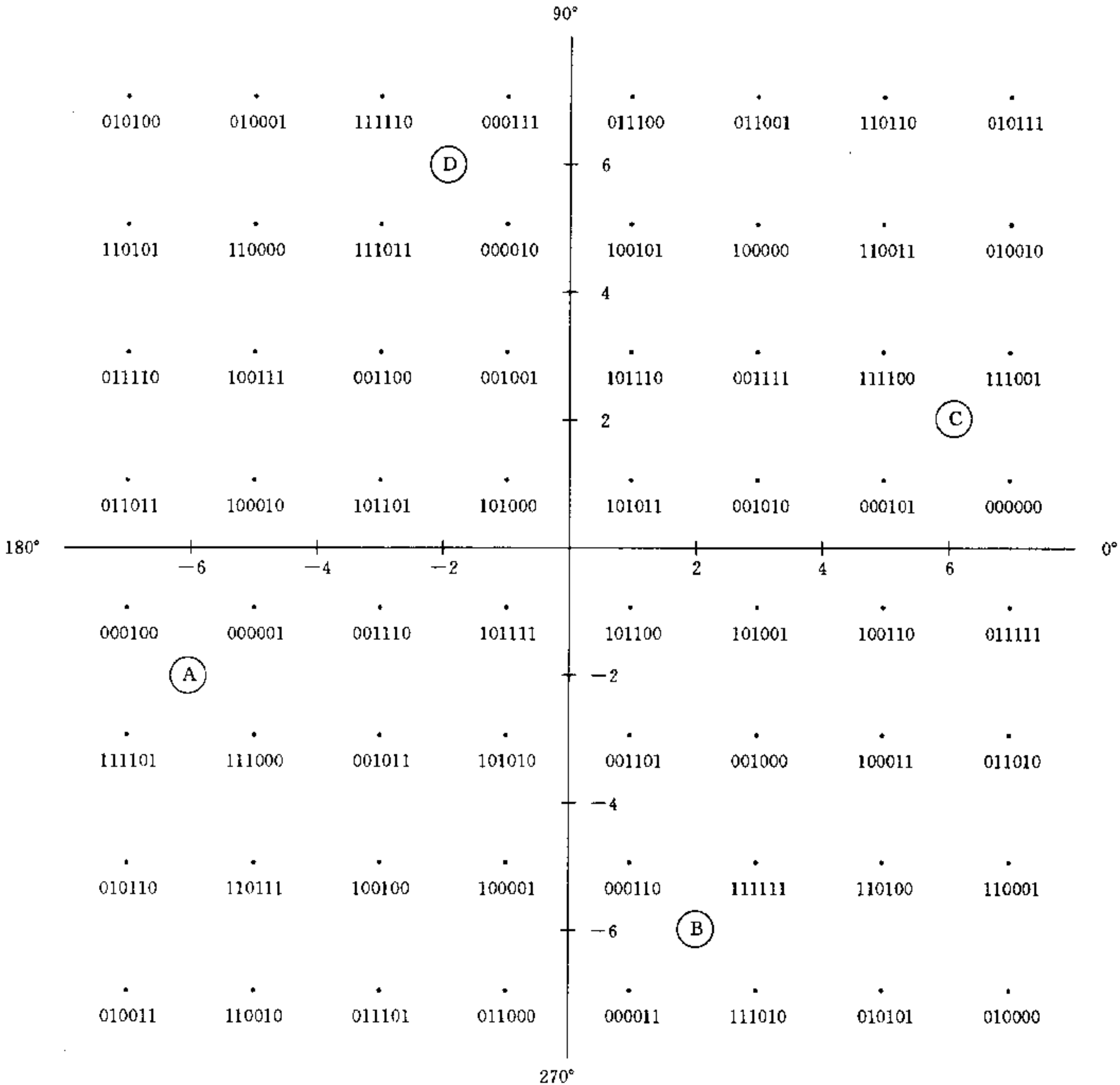
两个差分编码比特 Y_{1n} 和 Y_{2n} 输入到系统卷积编码器生成一冗余比特 Y_{0n} 。该冗余比特和 4 个载

有信息的比特 $Y1_n$ 、 $Y2_n$ 、 $Q3_n$ 和 $Q4_n$ 按图 4 所示的信号空间状态图映射成为发送的信号码元坐标。

4.3.4 7 200 bit/s 的信号码元编码

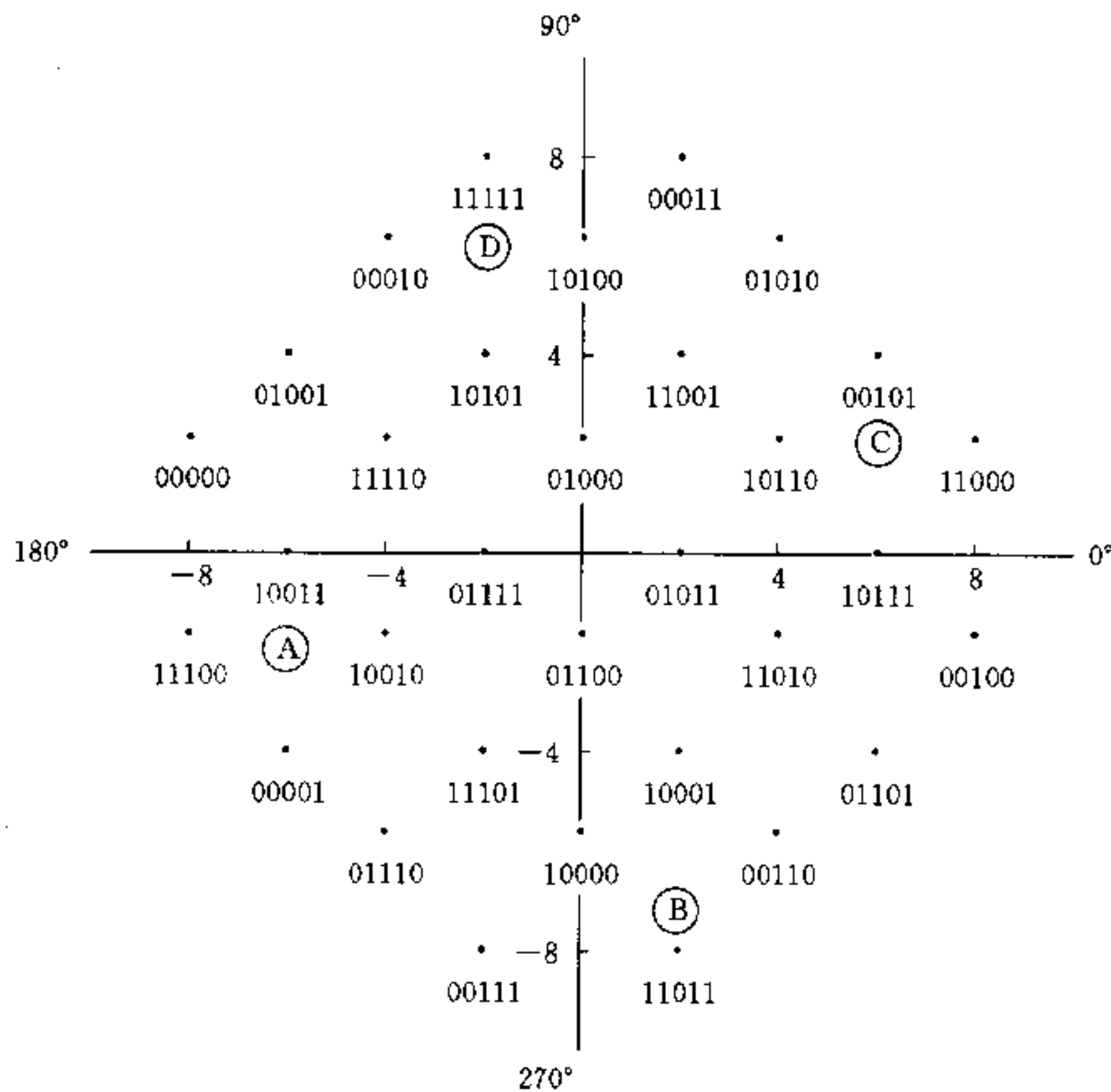
经扰码待发送的数据流,按 3 个连续数据比特分为一组,这些数据比特照其出现的时间排序。如图 1 所示,每组前两个比特 $Q1_n$ 和 $Q2_n$ (这里 n 表示该组的序号),按照表 1 规定首先差分编码为 $Y1_n$ 和 $Y2_n$ 。

两个差分编码比特 $Y1_n$ 和 $Y2_n$ 输入到系统卷积编码器生成一冗余比特 $Y0_n$ 。该冗余比特和 3 个载有信息的比特 $Y1_n$ 、 $Y2_n$ 和 $Q3_n$ 按图 5 所示的信号空间状态图映射成为发送的信号码元坐标。



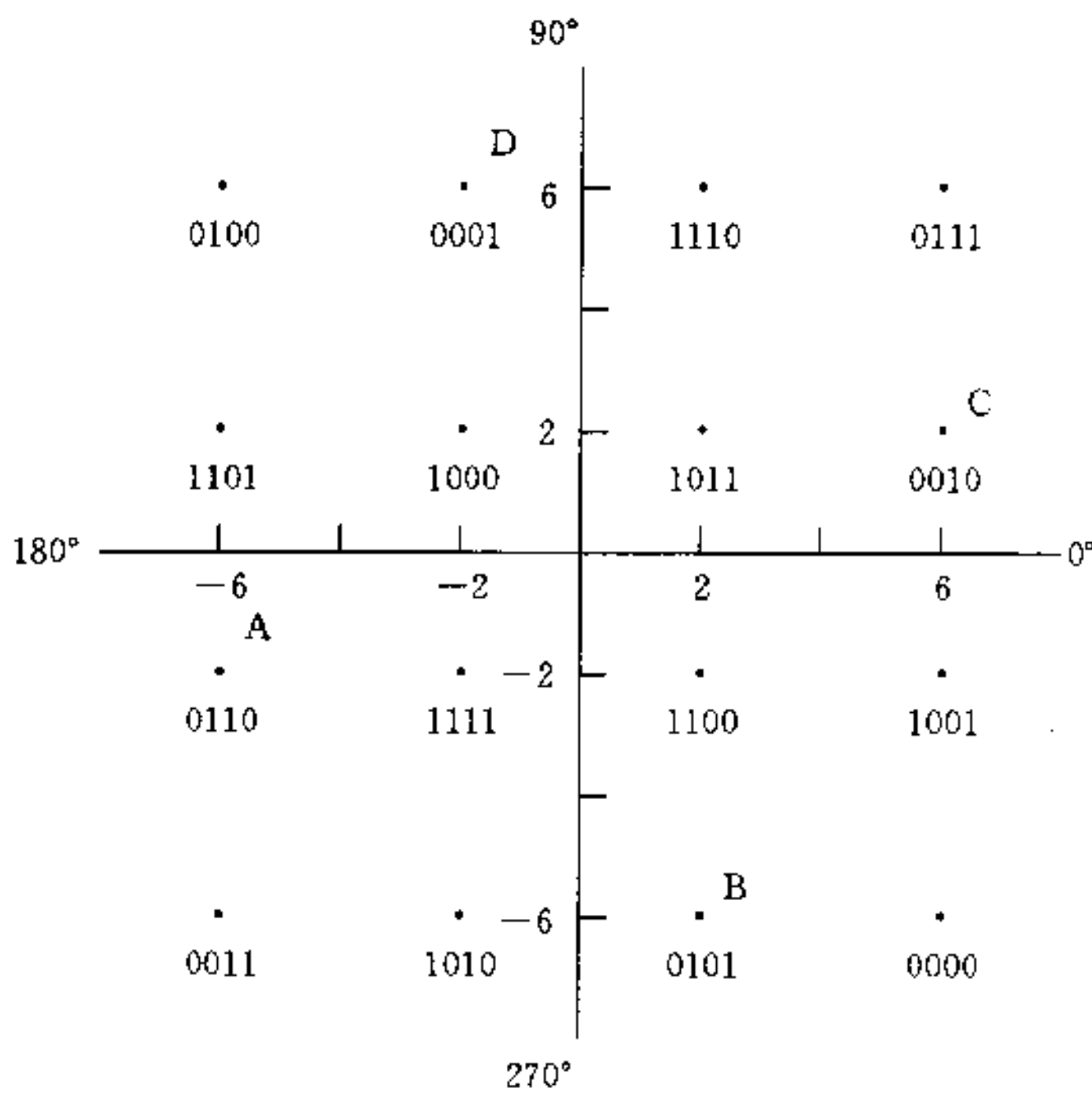
注：二进制数指 $Q5_n$ 、 $Q4_n$ 、 $Q3_n$ 、 $Y2_n$ 、 $Y1_n$ 、 $Y0_n$ 。A、B、C 和 D 指的是同步信号码元。

图 3 12 000 bit/s 数据信号速率下格状编码所使用的 64 点信号结构



注：二进制数指 Q4_n、Q3_n、Y2_n、Y1_n、Y0_n。A、B、C 和 D 指的是同步信号码元。

图 4 9 600 bit/s 数据信号速率下格状编码所使用的 32 点信号结构



注：二进制数指 Q3_n、Y2_n、Y1_n、Y0_n。A、B、C 和 D 指的是同步信号码元。

图 5 7 200 bit/s 数据信号速率下格状编码所使用的 16 点信号结构

4.4 发送频谱

当扰码器输入为连续的二进制 1 时,相对 600 Hz 到 3 000 Hz 之间的最大功率密度,在 600 Hz 和 3 000 Hz 点应衰减 4.5 dB±2.5 dB。

5 接口电路

5.1 接口电路一览表

本建议中参照 V. 24 的接口电路编号,只是在功能上与这些电路等效,并非指物理上实现这些电路,例如参考电路 103 应理解为在功能上相当于电路 103(见表 2)

表 2 接口电路

编号	描 述
102	信号地或公用回线
103	发送数据
104	接收数据
105	请求发送
106	准备发送
107	数据设备准备好
108/1 或	把数据设备接至线路(注)
108/2	数据终端准备好(注)
109	数据信道接收线路信号检测器
114	发送机信号码元定时(源于 DCE)
115	接收机信号码元定时(源于 DCE)
125	呼叫指示器
注:这条电路能做为电路 108/1 或电路 108/2 运行。	

5.2 发送数据

在电路 103 上,调制解调器将接收来自传真控制功能单元的数据;在电路 103 上的数据处于电路 114 的控制之下。

5.3 接收数据

在电路 104 上,调制解调器将数据传送到传真控制功能单元;在电路 104 上的数据处于电路 115 的控制之下。

5.4 定时配置

在调制解调器中应包括时钟,以提供具有电路 114 发送机信号码元定时和电路 115 接收机信号码元定时的传真控制功能。

5.5 数据速率控制

数据速率控制将由调制解调器和传真机控制功能之间的连接来提供;该连接特性超出了本标准研究的范围。

5.6 电路 106 和 109 的响应时间

在第 7 章中规定的训练和同步序列之后,紧接着应在 3.5 ms 以内,电路 106 应从断(OFF)状态转变到通(ON)状态或电路 105 应从通转变为断的状态。电路 109 从断转变为通的状态。是第 7 章中规定的训练序列的一部分。在调制解调器的线路终端出现接收电平下降到 5.7 中规定的相关门限以下后的 30 ms 到 50 ms 时间内,电路 109 应回到断状态。在初始握手之后,当调制解调器线路终端的接收电平超过 5.7 规定的相关门限后的 40 到 205 ms 时间内,电路 109 应转为通状态。

5.7 电路 109 门限

- > -43 dBm 通
- < -48 dBm 断

电平在 -43 dBm 和 -48 dBm 之间电路 109 的状态未作规定,信号检测器呈现滞后作用,这样从断到通时的电平至少应比从通到断转换的电平大 2 dB。

接收经扰码的二进制 1 时,在调制解调器的输入端规定电路 109 的门限。
在已知传输条件的地方,允许主管部门改变这些门限。

注:电路 109 通到断的响应时间应在规定的限值内适当选择,以确保所有有效的数据比特已出现在电路 104 上。

5.8 箝位

在执行箝位的场合,当电路 105 在通状态时,DCE 应使电路 104 保持在二进制“1”状态及电路 109 保持在断状态,而且在要求对电路 104 进行保护以防虚假信号影响的场合,随着电路 105 从通到断的转变,DCE 还要保持上述状态 150 ± 25 ms。按照系统的考虑附加延时的使用是任选的。

6 扰码器和解扰器

在调制解调器中应装有具有下列生成多项式的自同步扰码器和解扰器:

$$1 + X^{-18} + X^{-23}$$

在发送端,扰码器应当用生成多项式除以信息数据序列。这除得商的系数,按降幂取值形成扰码器输出端数据序列。在接收端,解码器用生成多项式乘以接收到的数据序列,以恢复信息序列。

7 操作序列

7.1 训练和同步序列

在表 3 规定了训练信号和同步信号序列。
长训练序列用于初始建立连接或在需要重新训练时使用。
再同步序列用于成功的长训练之后的再同步。

表 3 训练和同步信号

	第 1 段	第 2 段	第 3 段	第 4 段		
	ABAB 交替	均衡器训练信号	桥接信号	经扰码的 1	总符号间隔	大约时间(ms)
长训练	256	2 976	64	48	3 344	1 393
再同步	256	38	64	48	342	142

7.1.1 第 1 段:ABAB 交替

此段由交替的 A 和 B 状态组成,如图 2 到 5 所示。

7.1.2 第 2 段:均衡器训练信号

此段由如图 2 到图 5 所示的四个信号码元 A、B、C 和 D 的顺序传送组成。

均衡器调节码型通用多项式 $1 + X^{-18} + X^{-23}$ 数据扰码器生成 4 800 bit/s 速率的伪随机序列。在第 2 阶段期间,任何差分正交编码均无效,并且如表 4 所示对经扰码的双比特进行编码。

随着二进制 1 加到输入,应选择初始扰码器状态,以产生下列扰码器输出码型和相应的信号码元:

表 4 四相训练信号的编码

00	01	00	01	00	01	00	01	00	01	00	01	10	01	10	01
C	D	C	D	C	D	C	D	C	D	C	D	B	D	B	D

第 2 段

双比特	信号状态
00	C
01	D
11	A
10	B

7.1.3 第 3 段桥接信号

仅在初始长训练期间使用这段,由发送 8 次的 16 bit 二进制序列组成。按表 5 规定的序列进行扰码,并按照图 2 到图 5 规定的信号码元 A、B、C 和 D 以 4 800 bit/s 速率进行传送。

表 5 第 3 段比特指明

B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
<p>注</p> <p>1 正如 B0 比特输入扰码器中一样,它是数据流中的第一比特。</p> <p>2 比特 4—6,8—10,12—14 的任何一种使用有待进一步研究。某些现有设备可能将这些比特中的 1 个或多个置为二进制 1;应忽略这些比特。</p>															

按照表 6 的规定将双比特进行差分编码。

应该用前一段的最后一个比特来启动差分编码器。头二个比特和随后每 16 比特序列的双比特应当作为一个信号状态来进行编码。

表 6 第 3 段双比特编码

双比特	相位变化	前一输出/输出
0 0	+90 度	A/B,B/C,C/D,D/A
0 1	0	A/A,B/B,C/C,D/D
1 0	180 度	A/C,B/D,C/A,D/B
1 1	-90 度	A/D,B/A,C/B,D/C

7.1.4 第 4 段

应以信道数据比特速率发送经扰码的二进制 1。

对长训练序列,应使用第 3 段的第一比特来启动差分编码器。

对短训练序列,使用第二段的最后一个比特来启动差分编码器。

应将卷积编码器初始状态置为 0。

扰码器应以比特速率进行计时,扰码器输出序列按照第六章中的规定进行编码。该初始扰码器的状态由前一段最后一个符号的间隔而产生。

第 4 段持续时间是 48 个符号间隔。在第 4 段结束时电路 106 转为通(ON),并将数据加到数据扰码器的输入端。

在接收第 4 段期间将电路 109 转变为 ON。

7.2 关断序列

在电路 105 由通转变到断时,其余的数据或在已传送重新训练规程期间训练检测信号之后发送的线路信号如表 7 所示。

表 7 关断序列

A 段	B 段	各段总和	大致时间
连续经扰码的 1	不发送能量		
32 SI	48 SI	80 SI	33 ms
SI 表示符号间隔。 注：如果出现断序列期间发生电路 105 从断到通的转变，不考虑这个状态，直到出现断序列结束为止。			

7.3 讲话者回声防止(TEP)信号

在传送训练和同步序列之前可任选发送 TEP 信号。该 TEP 信号应由时长为 185 ms 到 200 ms 的未调制载频后随 20 ms 到 25 ms 静默时间组成。

当使用时,该 TEP 信号应作为训练序列的一部分予以考虑。

用于获得 TEP 信号期望效益的另一种方法有待进一步研究。