

## 前 言

本标准是根据 ITU-T O. 150(1995 年修改草案)《数字传输设备性能测量仪表的通用要求》的内容而规定。在技术内容上与该国际建议等效。

本标准包括可适用于数字传输设备性能测量仪表的通用信息。结合我国数字通信的 PDH 和 SDH 传输体制,制定工作在 14.4 kbit/s 以下、64 kbit/s、 $N \times 64$  kbit/s、2 048 kbit/s、8 448 kbit/s、3 4368 kbit/s、139 264 kbit/s 和 155 520 kbit/s 等比特率上的标准测试序列及其成帧测试序列的要求。本标准还规定了,在 PDH 和 SDH 系统上差错性能测量的块长,作为面向块的差错性能测量。

本标准由邮电部电信科学研究规划院提出并归口。

本标准由邮电部电信传输研究所起草。

本标准主要起草人:翁元举、罗建国。

## 数字传输性能测量的数字图形

### 1 范围

本标准规定了标准的和成帧的测试序列,以及在 PDH 和 SDH 系统上,差错性能测量的块长。

本标准是工作在全类比特率的数字传输系统,及其复用/分用器以及开业务监测的差错性能测量及测量设备的技术设计和制造的依据。

### 2 标准的测试序列

标准测试序列是在某一规定的数字速率上,对数字传输设备或点对点的数字通道进行差错性能评价时,必需采用的测试序列。

比特差错测量,对评价数字传输设备的性能是一种重要的手段。只有测量序列的比特序列是完全已知时,才能进行所谓的“真”比特差错的测量,这时应能检出每个比特差错。而实际的业务由于其随机性质,通常不能满足上述条件。

所以,有必要规定可再现的,尽可能接近模拟实际业务的测试序列。可再现的测试序列也是完成点到点测量的先决条件。

具有  $2^n - 1$  长度的伪随机序列是此问题最普通的解答。除了  $n$  个连续 0(所谓的反转信号)和  $n - 1$  个连续 1 的字符串以外,在取决于  $n$  的字符串长度内,该序列包含任意可能 0 和 1 的组合。

(有关  $n$  的值,见第 3 章)

本标准规定了不同长度的伪随机序列。

### 3 伪随机测试序列的应用

测试序列的特性应符合所测试系统的要求。通常,伪随机序列的长度应随被测量的比特率增加而增加。这样可以避免序列的重复频率太高,而与实践中遇到的状态不一致。

伪随机序列的产生,可借助于具有适当反馈的移位寄存器。如果该移位寄存器有  $n$  级,则最大的序列长度将是  $2^n - 1$  比特。

如果数字信号直接地从移位寄存器的输出(非反转信号)取出,则最长的连 0 字符个数将等于  $n - 1$ 。如果该信号被反转,将产生  $n$  个连 0 字符。

除采用移位寄存器以外,还可能其它的方法产生具有这些特性的伪随机序列。

#### 3.1 通过扰码器的差错测量

在测试过程中,可能含有扰码器。若第 3 章所述的  $n$  值与扰码器的级数共有整数倍,则可能得出不期望的测量结果。为了减少将产生此问题的可能性,规定了测试序列的  $n$  值为一个质数。

#### 3.2 序列同步的丢失

只有在测试建立的接收侧,其参考序列正确地同步于来自被测对象的序列时,才能完成采用伪随机序列的比特差错的测量。为了获得一致的测量结果,必须规定序列同步的特性。

下列要求可适用于,采用伪随机序列处理差错性能测量的全部 ITU-T O 系列建议。

若有下列情况,则应认为序列同步丢失并应启动再同步:

- a) 在某一秒的累计时间间隔内, 比特差错率 $\geq 0.20$ , 或  
b) 能够明确地证实测试序列和参考序列不同相。

### 3.3 “成帧”的测量

成帧测试序列是在不相等的输入和输出的数字速率上, 进行差错性能评价时, 必需采用的测试序列, 例如复用/分用器的差错性能评价。并且该成帧结构也用于不中断通信业务的开业务(In-Service)监测。面向块的差错性能测量的块长, 适用于 PDH 和 SDH 系统的测量。

某些测量要求测试序列在有效的帧内按净荷传送测试序列。在这种情况下, 当传送帧定位信号时, 将停止测试序列的传送。

详细内容在本标准的第 5 章中给出。

### 3.4 抖动测试

数字测试序列不仅用于差错的测量, 而且也可用于测量抖动转移函数、可容许的输入抖动及输出抖动。数字线路系统和数字线路段的抖动测量应使用较长的伪随机测试序列。这种情况, 对用于测量抖动的测试序列的长度应给以特别的注意, 如果该序列太短(高的序列重复频率), 则测试信号的频谱分布可能实质上与实际业务性能不同。在此情况下, 该测量结果将不反映实际状态。根据实践经验, 通常可用一个适当的修正系数(1.5 或 1.3), 以修正具有随机性的实际业务和伪随机测试序列进行测量的差别。见 G. 823 建议讨论此问题的附录 A1。

对于复用设备的抖动转移函数的测试, 应使用本标准 4.7 中给出的测试序列。

## 4 数字测试序列

本章规定应采用的数字测试序列和其主要应用, 见表 1。

表 1 建议采用的数字测试序列

序列长度 bit	连 0 字符个数	参考建议	序 列 的 应 用
$2^8-1$	8	O. 153	比特率高至 14.4 kbit/s 以下的数据电路的差错测量
$2^{11}-1$	10	O. 152	比特率为 64 kbit/s 和 $N \times 64$ kbit/s 的差错和抖动的测量
$2^{15}-1^{1)}$	15	O. 151	比特率为 1 544, 2 048, 6 312, 8 448, 32 064 和 44 736 kbit/s 的差错和抖动的测量
		O. 181	SDH 高阶 C-3 容器所有字节, C-2, C-12, C-11 低阶容器所有字节。映射入高阶 C-3 容器所有 PDH 支路比特, 映射入低阶 C-2, C-11, C-12 容器所有 PDH 支路比特的差错性能测量
$2^{23}-1$	23	O. 151	比特率为 34 368 和 139 264 kbit/s 的差错和抖动的测量
		O. 181	SDH C-4 容器所有字节, C-3 低阶容器所有字节。映射入 C-4 容器所有 PDH 支路比特, 映射入低阶 C-3 容器所有 PDH 支路比特的差错性能测量
$2^{29}-1$	29		特定的测量任务
$2^{31}-1$	31		特定的测量任务
1) 为了保证一个特定的 PRBS 在相应系列级的典型时钟恢复电路抖动半功率带宽内包含的抖动谱线密度的适应度, 尚须进一步研究。			

#### 4.1 511 bit 伪随机测试序列

本序列主要用于比特率高至 14.4 kbit/s 数据电路的差错测量(见 O.153 建议)

用 9 级移位寄存器可以产生该序列。把该寄存器的第 5 级和第 9 级的输出加到模 2 加法级,并将其结果反馈至第一级的输入。该序列以 9 个连续 1 的第一个 1 为开始。

- 移位寄存器级数 9
- 伪随机序列长度  $2^9 - 1 = 511$  bit
- 最长的连 0 序列 8(非反转信号)

#### 4.2 2 047 bit 伪随机测试序列

本序列主要用于工作在比特率为 64 kbit/s 和  $N \times 64$  kbit/s 电路的差错和抖动的测量(见 ITU-T O.152 和 ITU-T O.153 建议)

用 11 级移位寄存器可以产生该序列,把该寄存器的第 9 级和第 11 级的输出加到模 2 加法级,并将其结果反馈至第 1 级的输入。

- 移位寄存器级数 11
- 伪随机序列长度  $2^{11} - 1 = 2\,047$  bit
- 最长的连 0 序列 10(非反转信号)

注 1 当进行  $N \times 64$  kbit/s 比特率性能测量时,连续的 8 比特块的测试序列应以连续的时隙传送。伪随机测试序列的开头不必与帧重复率有关。

2  $N$  在 1 到 31 之间是否可以任意整数,需要进一步研究。

#### 4.3 32 767 bit 的伪随机测试序列

本序列主要用于比特率为 2 048 kbit/s 和 8 448 kbit/s 的差错和抖动测量(见 ITU-T Q.151 建议)和 SDH 低阶 C-12 容器所有字节及映射入低阶 C-12 容器的所有 PDH 支路比特的差错性能测量(见 ITU-T O.181 建议)。

用 15 级移位寄存器可以产生该序列,将该寄存器的第 14 级和第 15 级的输出加到模 2 加法级,并将结果反馈至第 1 级的输入。

- 移位寄存器级数 15
- 伪随机序列长度  $2^{15} - 1 = 32\,767$  bit
- 最长的连 0 序列 15(反转信号)

#### 4.4 8 388 607 bit 的伪随机测试序列

本序列主要用于比特率为 34 368 和 139 264 kbit/s 的差错和抖动的测量(见 ITU-T O.151 建议)和 SDH C-4 容器所有字节、低阶 C-3 容器所有字节及映射入 C-4 容器的所有 PDH 支路比特、映射入低阶 C-3 容器的所有 PDH 支路比特的差错性能测量(见 ITU-T O.181 建议)。

用 23 级移位寄存器产生该序列,把寄存器的第 18 级和第 23 级的输出加到模 2 加法级,并将其结果反馈到第 1 级的输入。

- 移位寄存器级数 23
- 伪随机序列长度  $2^{23} - 1 = 8\,388\,607$  bit
- 最长的连 0 序列 23(反转信号)

#### 4.5 536 870 911 bit 的伪随机测试序列

本序列可用于特定的测量作业。例如,较高比特率的时延测量。如果差错性能的测量要求更长的序列,将来的研究应该考虑本序列。

用 29 级移位寄存器可以产生该序列,把该寄存器的第 27 级和 29 级的输出加到模 2 加法级,并将其结果反馈到第 1 级的输入。

- 移位寄存器级数 29
- 伪随机序列长度  $2^{29} - 1 = 536\,870\,911$  bit
- 最长的连 0 序列 29(反转信号)

#### 4.6 2 147 483 647 bit 的伪随机测试序列

本序列可用于特定的测量作业,例如,较高比特率的时延测量。如果差错性能的测量要求更长的序列,将来的研究应该考虑本序列。

用 31 级移位寄存器可以产生该序列,把寄存器的第 28 级和第 31 级的输出加到模 2 加法级,并且将其结果反馈至第 1 级的输入。

- 移位寄存器级数 31
- 伪随机序列长度  $2^{31}-1=2\ 147\ 483\ 647$  bit
- 最长的连 0 序列 31(反转信号)

#### 4.7 用于 PDH 所有比特率的重复测试序列

##### 4.7.1 用于所有比特率的 10 001 000 测试序列

##### 4.7.2 作为一种任选的和用于 PDH 所有比特率方案的测试序列

- a) 能够以低速率(例如 10 至 100 Hz)交替改变的两种任意可编程序的 8 比特测试序列。
- b) 任意可编程序的 16 比特测试序列。

### 5 在不同的比特率上的成帧测试序列

#### 5.1 概述

一定的测试对象,在其输入端要求特定的比特序列,以便正确工作。如数字分用器为这种设备的典型例子。该分用器需要至少含有正确的帧定位的测试信号。附加的信息,例如,奇偶校验比特、告警比特应置于规定的状态。

##### 5.1.1 测试数字分用器

这里必须考虑两种情况:

一般情况,通过数字分用器进行测量,并要求正确地组成测试信号。该信号将包含适当的帧定位字,插入(码速调整)比特和所有要求的通道附加位比特,以提供通道终端的适当的工作。

这样,应按出现在正确工作的数字复用器的输出信号,来组成测试信号。该结构示于表 2。

表 2

一帧							
组 1		组 2		组 3		组 4	
FAS	TS <sub>1</sub> , TS <sub>2</sub> TS <sub>3</sub> , TS <sub>4</sub>	C <sub>11</sub>	TS <sub>1</sub> , TS <sub>2</sub> TS <sub>3</sub> , TS <sub>4</sub>	C <sub>12</sub>	TS <sub>1</sub> , TS <sub>2</sub> TS <sub>3</sub> , TS <sub>4</sub>	C <sub>13</sub>	TS <sub>1</sub> , TS <sub>2</sub> TS <sub>3</sub> , TS <sub>4</sub>
注: FAS=帧定位信号加告警比特 TS <sub>m</sub> =来自 1 至 4 支路的交替测试序列 C <sub>m</sub> =码速调整控制比特							

注:详细的复用结构在本标准的 5.3 至 5.5 中给出。其中,测试序列比特被连续的编号,这并不意味着这些比特应属于同一序列。取决于应用的需要,在代表较低次支路的这些组,提供独立的测试序列可能更好。

在第二种情况,只用于测试分用器输入部分的特性。这种测试的例子有可允许的输入抖动的测量、定帧测试、告警指示等。对于这种测量类型,测试信号不需要含有正确的插入信息,也不必要以有意义的数字信号在支路的输出出现的方法,来构成高次的数字输入信号。这种信号按表 3 所示构成。



表 3

第 1 帧		第 2 帧		第 3 帧		.....	第 n 帧	
FAS	TS <sub>1</sub> 到 TS <sub>u</sub>	FAS	TS <sub>v+1</sub> 到 TS <sub>v</sub>	FAS	TS <sub>v+1</sub> 到 TS <sub>w</sub>	.....	FAS	TS <sub>x+1</sub> 到 TS <sub>y</sub>
注: FAS=帧定位信号加告警比特; TS <sub>1</sub> 到 TS <sub>y</sub> =可能属于一个序列的测试序列比特。								

## 5.2 工作在 2 048 kbit/s 比特率的数字帧

## 5.2.1 无 CRC-4 程序并提供公共信道信令的帧

在此情况下,该帧结构如表 4。

表 4

时隙 0	时隙 1~15	时隙 16	时隙 17~31
1001 1011	测试序列	测试序列	测试序列
11AS SSSS	同上	同上	同上
注: A=远端告警指示 S=备用比特			

## 5.2.2 无 CRC-4 程序并提供随路信令的帧

在此情况下,该帧结构如表 5。

表 5

时隙 0	时隙 1~15	时隙 16	时隙 17~31
1001 1011	测试序列	abcd abcd	测试序列
11AS SSSS	同上	同上	同上
注: A=远端告警指示 S=备用比特 a,b,c,d=信令比特			

## 5.2.3 具有 CRC-4 程序和提供随路信令的帧

在此情况下,该帧结构如表 6。

表 6

时隙 0	时隙 1~15	时隙 16	时隙 17~31
C001 1011	测试序列	abcd abcd	测试序列
C1AS SSSS	同上	同上	同上
注: C=循环冗余校验比特(CRC-4) A=远端告警指示 S=备用比特 a,b,c,d=信令比特			

## 5.3 工作在 8 448 kbit/s 比特率的数字帧

在此情况下,该帧结构如表 7。

一帧含有每组为 212 bit 的 4 个组,并具有 848 bit 的长度。

表 7

组 1		组 2		组 3		组 4	
O1	200 bit	O2	208 bit	O3	208 bit	O4	208 bit

详细的组 1 到组 4 的结构列于表 8:

表 8

	附加位(O-)比特	测试序列比特
组 1	帧定位信号(比特 1 至 10) 1111010000 远端告警指示(比特 11) 留待国内使用(比特 12)	1~200
组 2	码速调整控制比特:C11,C21,C31,C41	201~408
组 3	码速调整控制比特:C12,C22,C32,C42	409~616
组 4	码速调整控制比特:C13,C23,C33,C43 来自支路的可用于码速调整的比特 (比特 5~8)	617~824(820)
注:有关插入(码速调整)比特的使用见 5.1.1。		

## 5.4 工作在 34 368 kbit/s 比特率的数字帧

在此情况下,该帧结构如表 9。

一帧包含每组为 384 bit 的 4 个组,具有 1 536 bit 长度。

表 9

组 1		组 2		组 3		组 4	
O1	372 bit	O2	380 bit	O3	380 bit	O4	380 bit

组 1 至组 4 详细结构如表 10。

表 10

	附加位(O-)比特	测试序列比特
组 1	帧定位信号(比特 1~10) 1111010000 远端告警指示(比特 11) 留待国内使用(比特 12)	1~372
组 2	调整控制比特:C11,C21,C31,C41	373~752
组 3	调整控制比特:C12,C22,C32,C42	753~1 132
组 4	调整控制比特:C13,C23,C33,C43 来自支路可用于码速调整的比特 (比特 5~8)	1 133~1 512(1 508)

## 5.5 工作在 139 264 kbit/s 比特率上的数字帧

## 5.5.1 工作在 139 264 kbit/s 并复接 34 368 kbit/s 信号的数字帧

在此情况下,该帧结构如表 11。

一个帧包含每组为 488 bit 的 6 个组,并具有 2 928 bit 的长度。

表 11

组 1		组 2~5		组 6	
O1	472 bit	O2~5	484 bit	O6	484 bit

组 1 至组 6 的详细结构示于表 12。

表 12

	附加位(O-)比特	测试序列比特
组 1	帧定位信号(比特 1~12) 111110100000 远端告警指示(比特 13) 留待国内使用(比特 14~16)	1~472
组 2~5	调整控制比特:C1n,C2n,C3n,C4n	473~2 408
组 6	调整控制比特:C15,C25,C35,C45 来自支路的可用于调整的比特 (比特 5~8)	2 409~2 892(2 888)
注:有关插入(调整)比特见 5.1.1。		



## 5.6 工作在 155 520 kbit/s 比特率上的数字帧

### 5.6.1 SDH 基本复用结构

我国 SDH 基本复用结构如下：

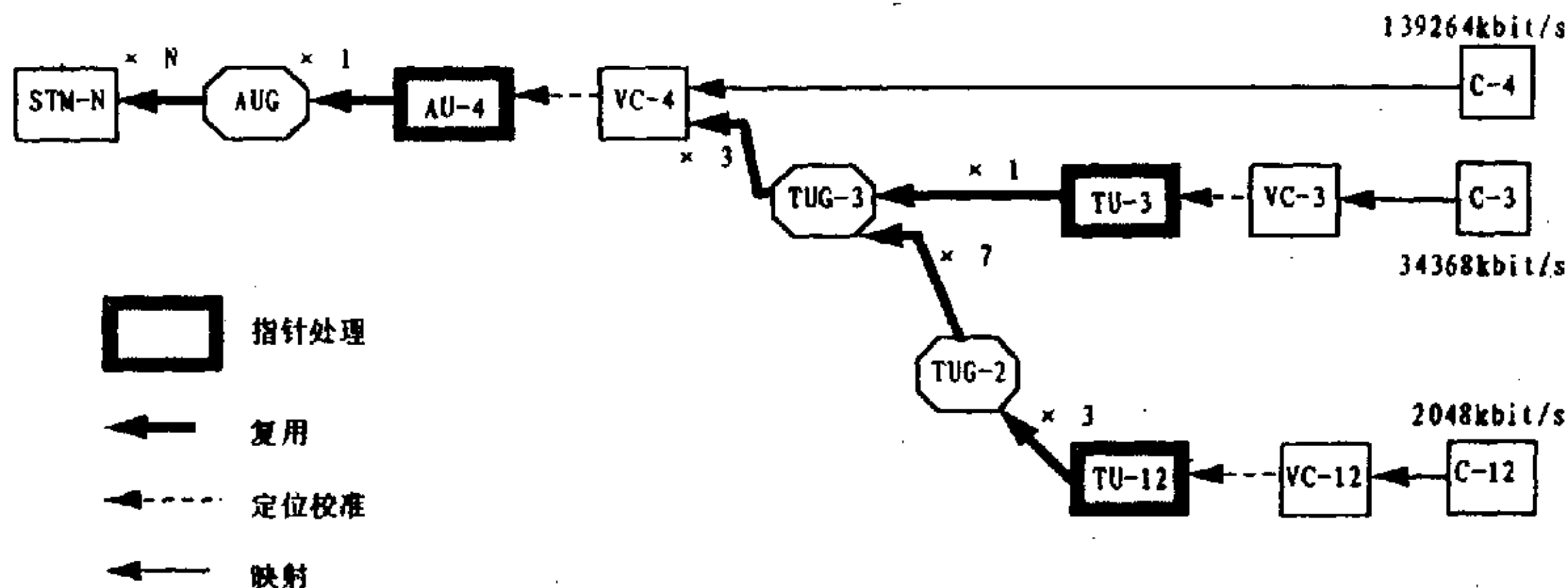


图 1 基本复用映射结构

### 5.6.2 SDH 测试信号结构

按 G.70X 建议，应有正确的开销字节和有效指针的设置。

#### 5.6.2.1 适用于 C-4 高阶容器的所有字节的测试信号结构 TSS1

为了测试高阶通道连接功能(HPC)和采用 AU-4 结构的网络单元(NE)，测试信号结构 TSS1 是一种适用于 C-4 容器所有字节，其长度按本标准 4.4 为  $2^{23}-1$  比特的 PRBS(伪随机二进制序列)测试序列。见图 2。

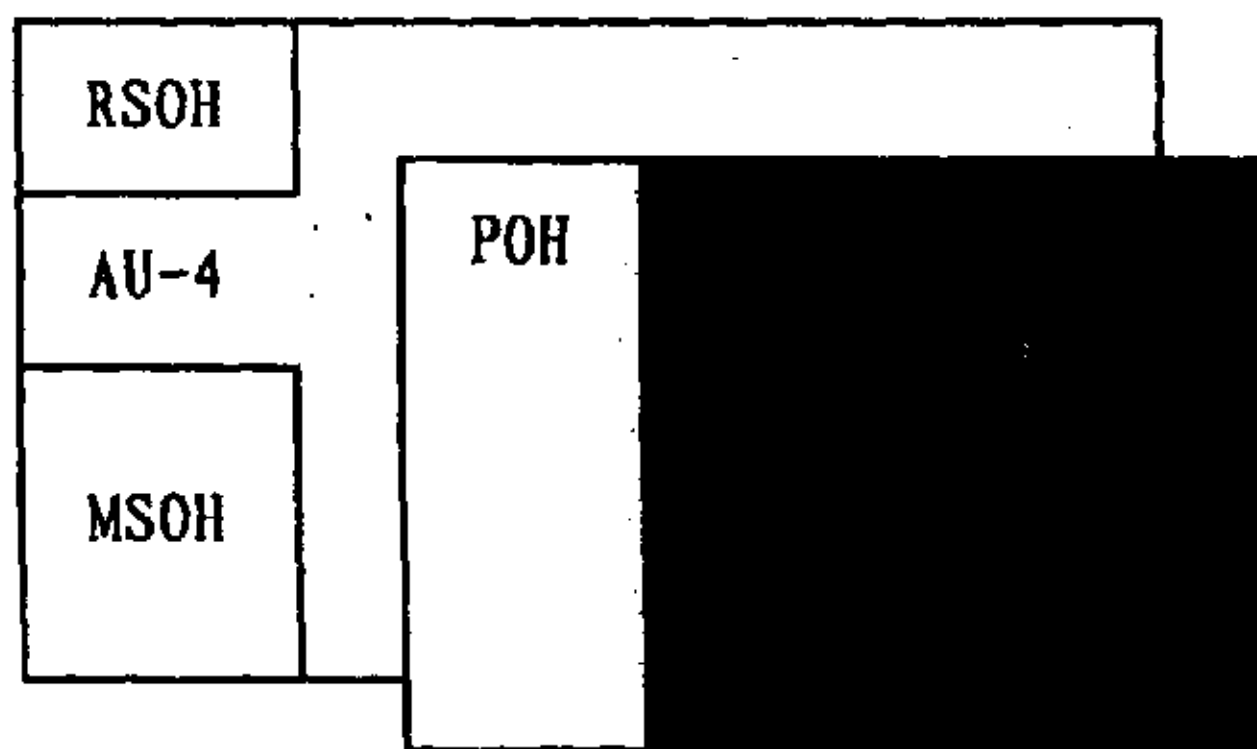


图 2 TSS1 测试信号结构

#### 5.6.2.2 适用于 C-3 低阶容器的所有字节的测试信号结构 TSS3

为了测试提供高阶通道连接功能(HPC)和低阶通道连接功能(LPC)的网络单元(NE)，测试信号结构 TSS3 是一种适用于 C-3 低阶容器所有字节，其长度按本标准 4.4 为  $2^{23}-1$  比特的 PRBS(伪随机二进制序列)测试序列。见图 3。

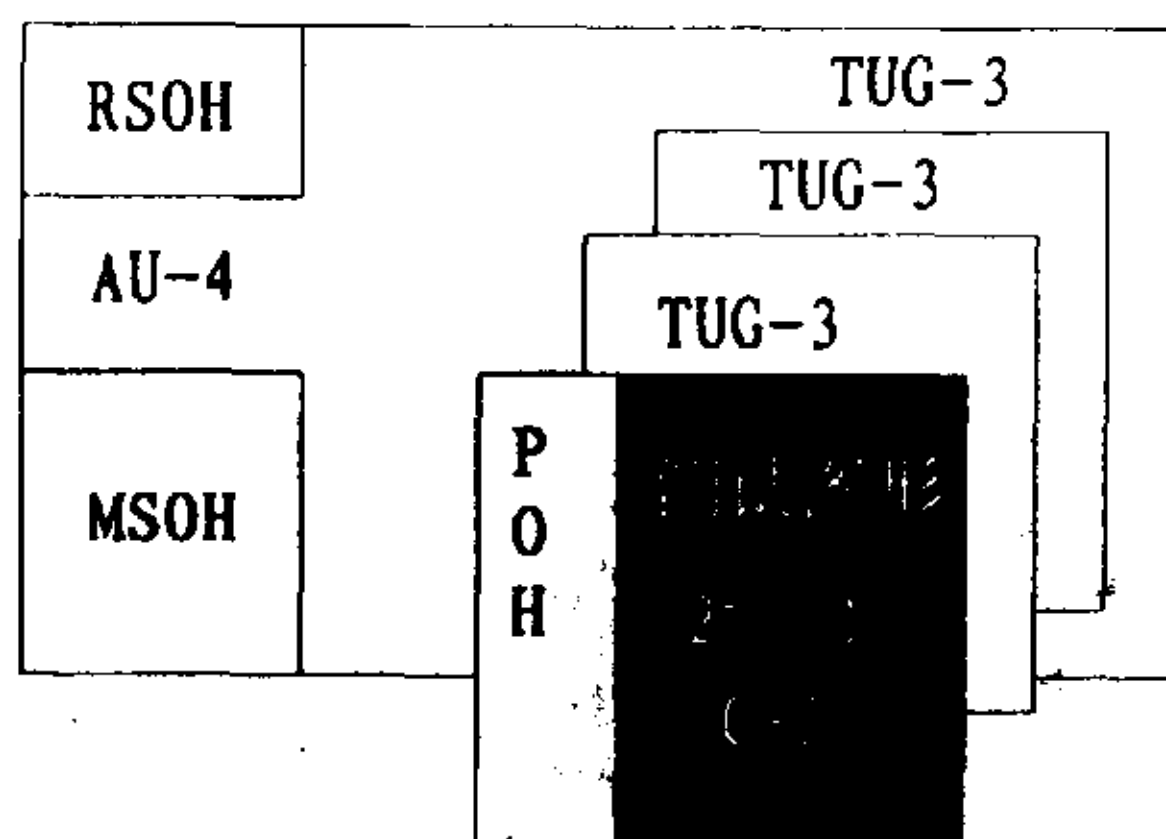


图 3 TSS3 测试信号结构

## 5.6.2.3 适用于 C-12 低阶容器的所有字节的测试信号结构 TSS4

为了测试提供高阶通道连接功能(HPC)和低阶通道连接功能(LPC)的网络单元(NE),测试信号结构 TSS4 是一种适用于 C-12 低阶容器所有字节,其长度按本标准 4.3 为  $2^{15}-1$  比特的 PRBS(伪随机二进制序列)测试序列。见图 4。

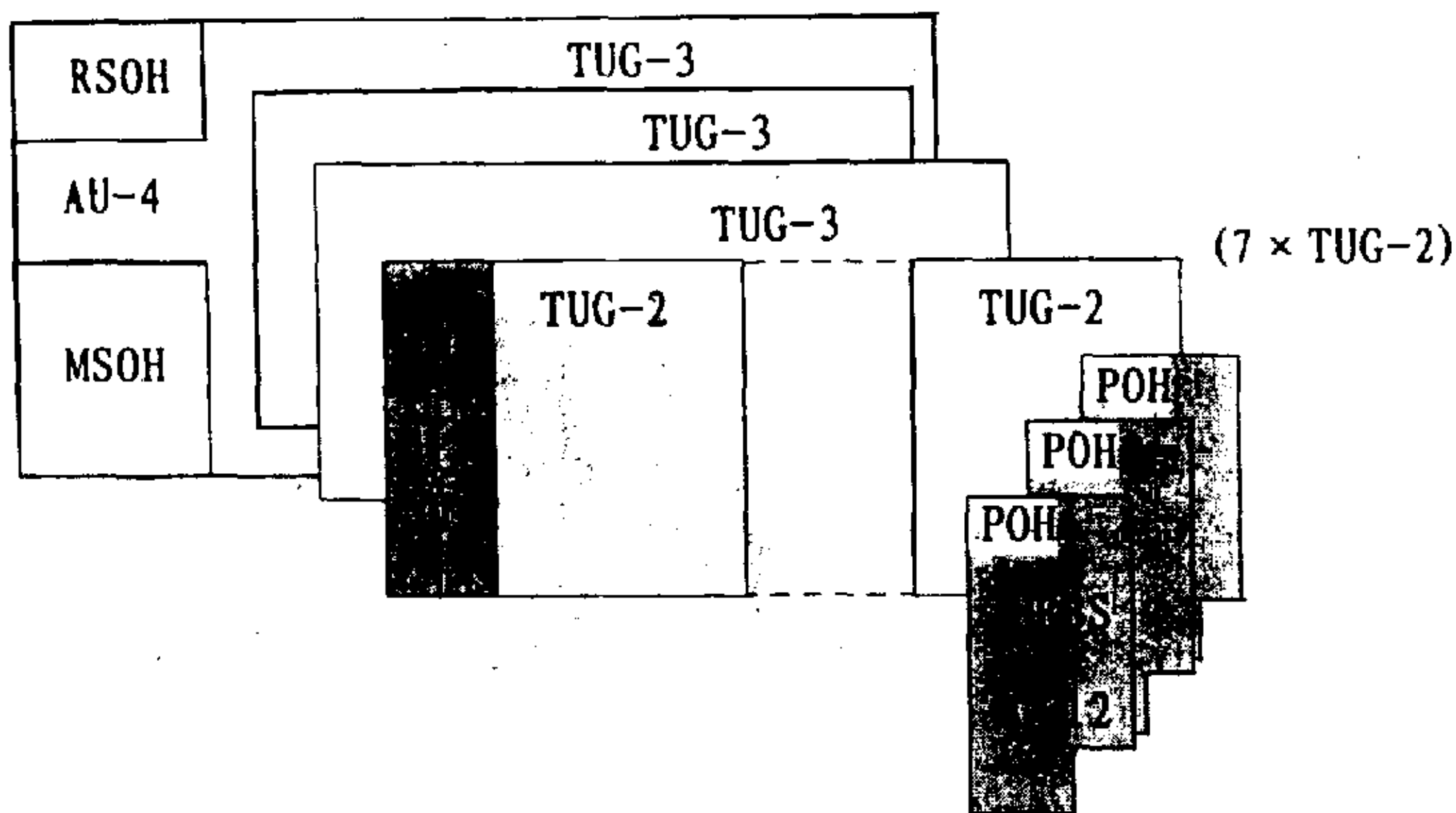


图 4 TSS4 测试信号结构

## 5.6.2.4 适用于映射入 C-4 容器的所有 PDH 支路比特的测试信号结构 TSS5

为了测试仅提供低阶通道适配功能(LPA-4)和采用 AU-4 结构的网络单元(NE),测试信号结构 TSS5 是一种适用于映射入 C-4 容器所有 PDH 支路比特,其长度按本标准 4.4 为  $2^{23}-1$  比特的 PRBS(伪随机二进制序列)测试序列。见图 5。

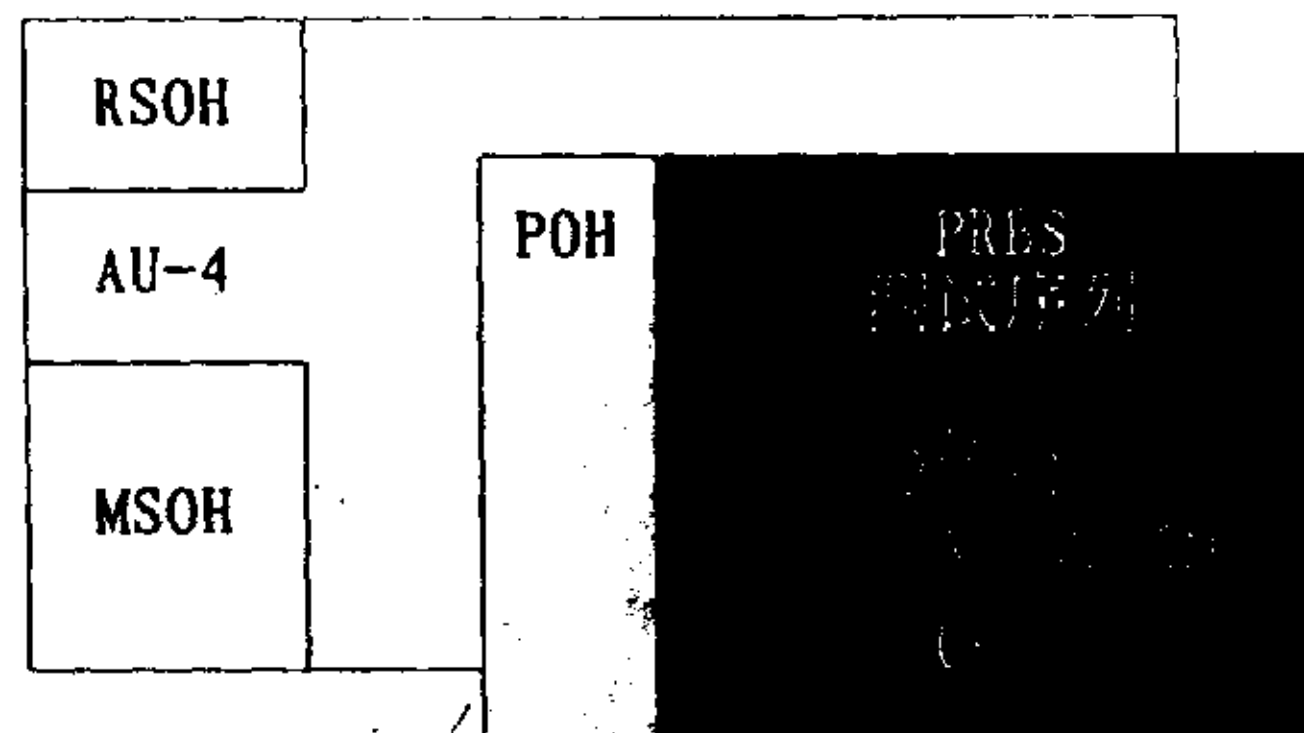


图 5 TSS5 测试信号结构

#### 5.6.2.5 适用于映射入低阶 C-3 容器的所有 PDH 支路比特的测试信号结构 TSS7

为了测试仅提供低阶通道适配功能(LPA-3)和采用 AU-4 结构的网络单元(NE),测试信号结构 TSS5 是一种适用于映射入低阶 C-3 容器所有 PDH 支路比特,其长度按本标准 4.4 为  $2^{23}-1$  比特的 PRBS(伪随机二进制序列)测试序列。见图 6。

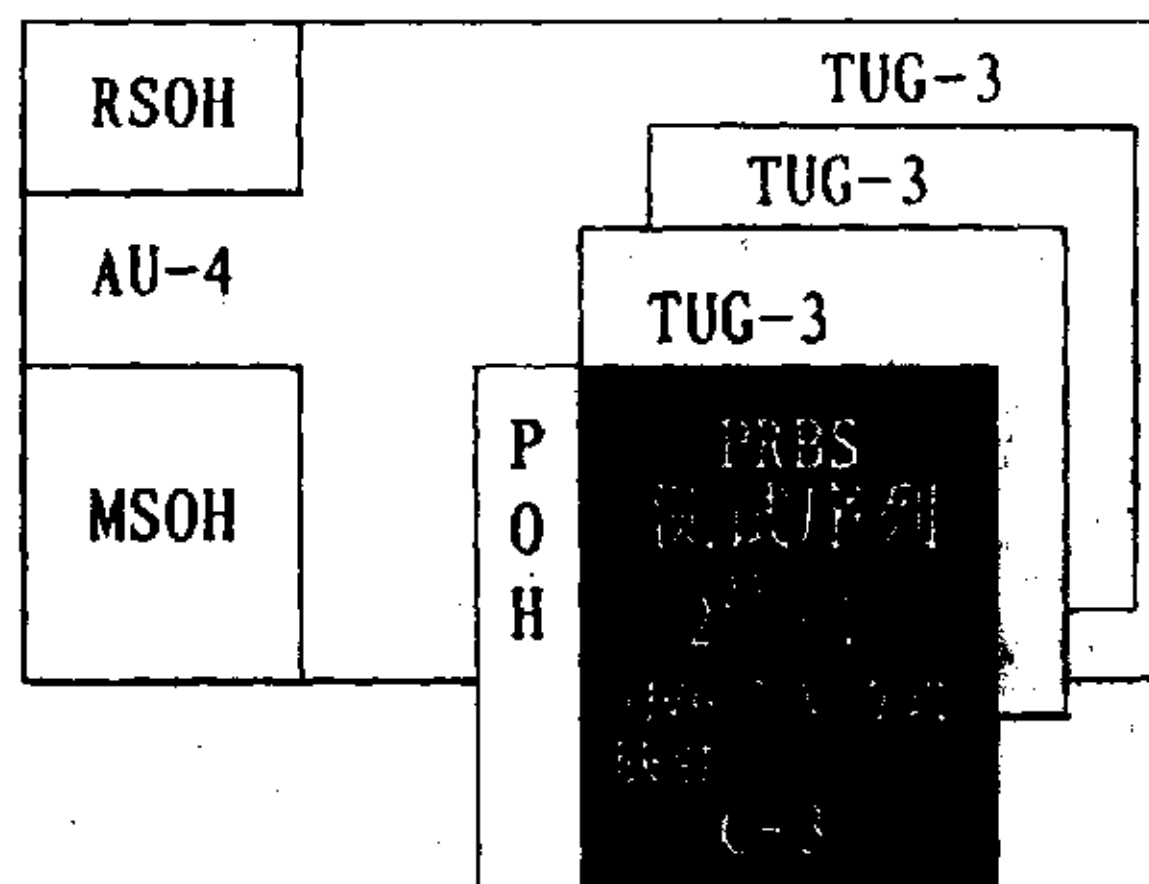


图 6 TSS7 测试信号结构

#### 5.6.2.6 适用于映射入低阶 C-12 容器的所有 PDH 支路比特的测试信号结构 TSS8

为了测试仅提供低阶通道适配功能(LPA-12)和采用 AU-4 结构的网络单元(NE),测试信号结构 TSS8 是一种适用于映射入低阶 C-12 容器所有 PDH 支路比特,其长度按本标准 4.3 为  $2^{15}-1$  比特的 PRBS(伪随机二进制序列)测试序列。见图 7。

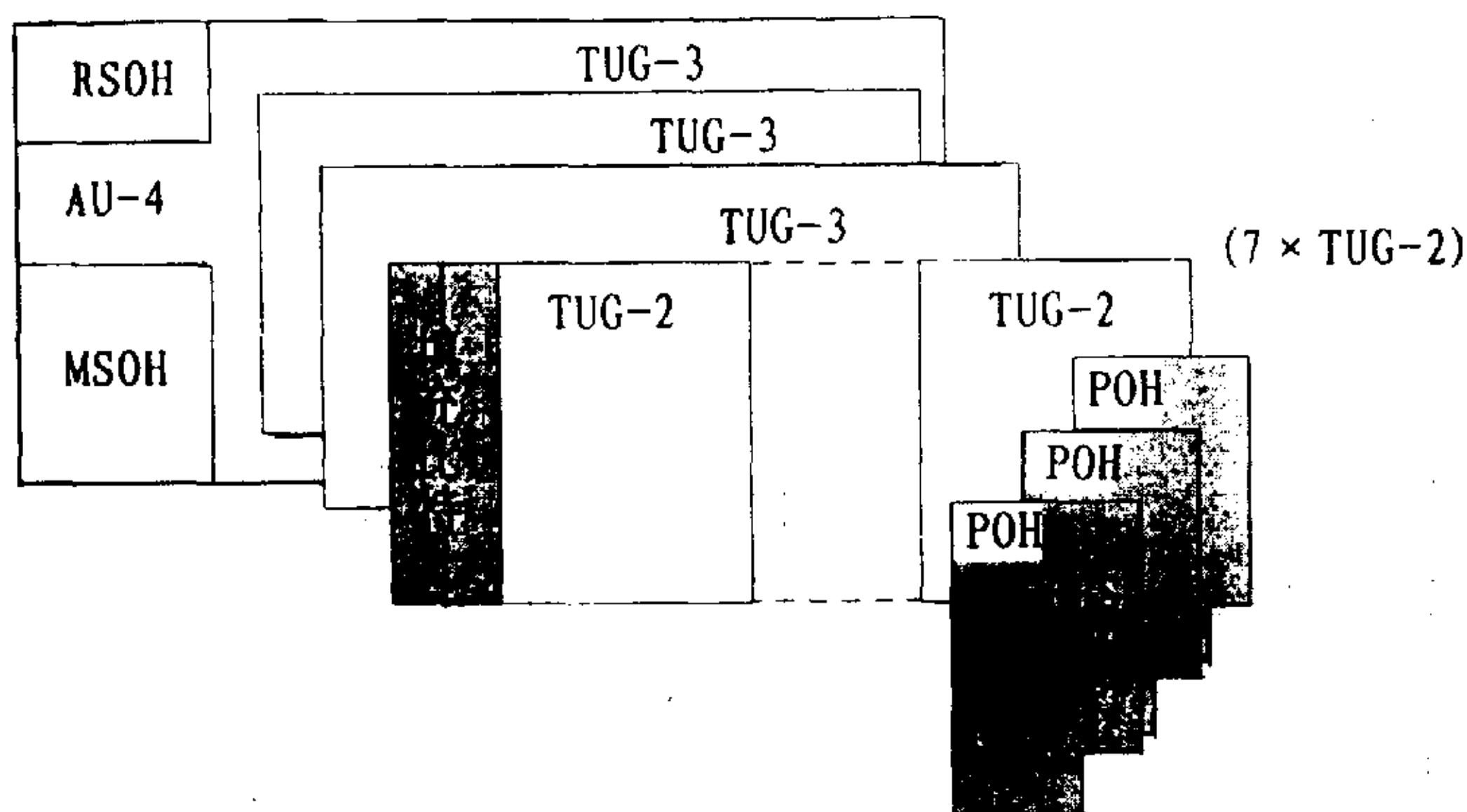


图 7 TSS8 测试信号结构

## 6 面向块的差错性能测量

### 6.1 块差错测量

G. 826 建议规定了工作在一次群速率或一次群速率以上的数字通道的差错性能的参数和指标。该建议要求差错性能的测量,建立在块的评价基础上。

完成 G. 826 建议的差错测量的测量仪器,也应坚持以块为基础的概念。在这种情况下,测量结果将得到以块差错或块差错比的形式表示的差错性能。

然而,本标准并不排除,由于若干单个比特差错产生的比特差错或比特差错比的可选的测量和评价。

### 6.2 块长

为了得到一致的测量结果,面向块的差错性能测量,需要建立在同一块长的基础上。

#### 6.2.1 在 PDH 系统上用于性能测量的块长

G. 826 建议,以比特率规定开业务测量的块长,在该比特率上使用固有的差错检测码。这些块长也适用于停业务的测量。

按 G. 826 建议要求,块长如表 13。

表 13 PDH 差错性能监测的块长

比特率 (kbit/s)	PDH 块		EDC <sup>1)</sup>	块/秒
	(bit)	( $\mu$ s)		
2 048	2 048	1 000	CRC-4	1 000
8 448	4 224	500	注 1	2 000
34 368	4 296	125	注 1	8 000
139 264	17 408	125	注 1	8 000

1) 以检错码(EDC)作为基准,按 EDC 的工作原理提出块长。没有规定 EDC 处,块长是建立在 125  $\mu$ s 有关帧长的整数倍的基础。实际的块长可为表中给出的标称值 $\pm$ 5%的偏差。

#### 6.2.2 在 SDH 系统上用于性能测量的块长

表 14 给出 SDH 不同通道的差错性能测量的块长和检错码(EDC),这些块长是 G. 826 建议为开业

务(In-service)测量而规定,并且也应用于停业务(Out-of-service)测量。

表 15 给出 SDH 复用段的块长和检错码(EDC),表 16 给出 SDH 再生中继段的块长和检错码(EDC)。

表 14 SDH 不同通道的块长和检错码(EDC)

通道比特率 (kbit/s)	SDH 通道类型	SDH 块 bit	EDC <sup>1)</sup>	块/秒
2 240	VC-12	1 120	BIP-2	2 000
48 960	VC-3	6 120	BIP-8	8 000
150 336	VC-4	18 792	BIP-8	8 000
601 344 000	VC-4-4C	75 168	BIP-8	8 000
1) 块长是建立在固有的 SDH 检错码(EDC)的基础上。				

表 15 SDH 复用段的块长和检错码(EDC)

STM 类型	SDH 块 bit	EDC	块/秒
STM-1	19 224	BIP-24	8 000
STM-4	76 896	BIP-96	8 000
STM-16	307 584	BIP-384	8 000
STM-N	19 224×N	BIP-24×N	8 000

表 16 SDH 再生中继段的块长和检错码(EDC)

STM 类型	SDH 块 bit	EDC	块/秒
STM-1	19 440	BIP-8	8 000
STM-4	77 760	BIP-8	8 000
STM-16	311 040	BIP-8	8 000
STM-N	19 224×N	BIP-8	8 000

## 7 AIS 和 LOS 缺陷的检测和清除

工作在数字接口,例如符合 G. 703 建议接口的 O 系列建议中所规定的测量设备,可能要求监测被评价的信号的状态。告警指示信号(AIS)和信号丢失(LOS)是这种缺陷的例子。

工作在符合 G. 703 建议的比特率的接口上,有关 LOS 和 AIS 缺陷检测和清除的准则在 G. 775 建议中给出。符合 O 系列建议的仪表,应遵守该准则。